

日本国特許庁
JAPAN PATENT OFFICE

Birch, Stewart et al.
(703) 205-8000
0951-0130 P
1/5/04
New
S. KUBOTA
1081

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月25日
Date of Application:

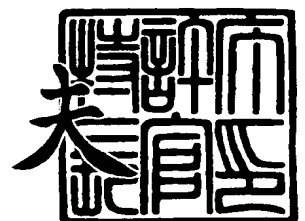
出願番号 特願2003-082914
Application Number:
[ST. 10/C]: [JP2003-082914]

出願人 シャープ株式会社
Applicant(s):

2003年10月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3082933



【書類名】 特許願

【整理番号】 02J04743

【提出日】 平成15年 3月25日

【あて先】 特許庁長官殿

【国際特許分類】 H03G 3/20
H04B 1/16

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 久保田 晋平

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100075502

【弁理士】

【氏名又は名称】 倉内 義朗

【電話番号】 06-6364-8128

【手数料の表示】

【予納台帳番号】 009092

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 受信装置

【特許請求の範囲】

【請求項 1】 可変利得アンプと、前記可変利得アンプの出力レベルを検出するレベル検出回路と、前記レベル検出回路の出力を基準レベルと比較する比較回路と、復調器と、二値化回路とを有し、前記比較回路の比較結果に基づいて前記可変利得アンプのゲインを切り替えるように構成された受信装置において、

前記可変利得アンプのゲイン切り替えを検出するゲイン切り替え検出回路と、前記二値化回路で用いるスライスレベルを固定するスライスレベル固定回路と、カウンタ回路とを備え、前記ゲイン切り替え検出回路にてゲインの切り替えが検出されたときに、前記カウンタ回路及びスライスレベル固定回路によって前記スライスレベルを所定時間だけ固定するように構成されていることを特徴とする受信装置。

【請求項 2】 前記可変利得アンプが帯域通過フィルタを兼ねていることを特徴とする請求項 1 記載の受信装置。

【請求項 3】 前記比較回路がゲイン切り替え検出回路を兼ねていることを特徴とする請求項 1 記載の受信装置

【請求項 4】 前記カウンタ回路はカウント時間が可変であることを特徴とする請求項 1 記載の受信装置。

【請求項 5】 前記二値化回路は、前記復調器からの復調信号を復調信号固定回路を介して入力し、その入力復調信号の最大値及び最小値をそれぞれ検出する最大値検出回路及び最小値検出回路と、それら最大値と最小値とを加算する加算回路と、前記加算回路の出力を $1/2$ にするアンプと、前記アンプの出力と前記復調器からの復調信号との大小を比較して二値化を行う比較回路によって構成されているとともに、前記復調信号固定回路が前記スライスレベル固定回路として機能することを特徴する請求項 1 記載の受信装置。

【請求項 6】 前記二値化回路は、最大制限値よりも大きな信号が入力されたとき、または、最小制限値よりも小さな信号が入力されたときに、それぞれ制限値を超えた値の信号を出力するオフセットキャンセラ回路と、その出力を積分す

る積分回路と、前記オフセットキャンセラ回路と積分回路との間に設けられたオフセットキャンセラ出力固定回路と、前記積分回路出力を入力信号にフィードバックして加える加算回路と、前記加算回路の出力信号の正負により二値化を行う正負判定回路とによって構成されているとともに、前記オフセットキャンセラ出力固定回路が前記スライスレベル固定回路として機能することを特徴とする請求項 1 記載の受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、Bluetooth等の送受信を行う無線通信機器に使用される受信装置に関する。

【0002】

【従来の技術】

FSK (Frequency Shift Keying) 等の変調方式の無線信号を受信する受信装置としては、従来、例えば図 6 に示す回路構成の装置が提案されている (例えば、特許文献 1 参照)。

【0003】

図 6 に示す受信装置において、アンテナ 301 より入力された受信 RF 信号は LNA 302 により増幅された後、ミキサ 303 において、VCO (電圧制御発振器) 304 より出力されるローカル信号とミキシングされて IF 信号 (中間周波信号) に変換される。その変換後の IF 信号は可変利得アンプ 305 に入力される。このとき、可変利得アンプ 305 は最大ゲインに設定されている。

【0004】

可変利得アンプ 305 の出力信号は 2 分岐され、その一方の出力信号はレベル検出回路 306 に入力される。レベル検出回路 306 は可変利得アンプ 305 の出力信号レベルに応じた DC 電圧を出力する。レベル検出回路 306 の出力信号は比較回路 307 に入力される。

【0005】

比較回路 307 は、レベル検出回路 306 の出力 DC 電圧とある基準 DC 電圧

を比較し、レベル検出回路 306 の出力 DC 電圧が基準電圧と比べて高いときには、その出力 DC 電圧が低いときの出力に対して反転した出力信号を出力し、可変利得アンプ 305 のゲインを低下させる。これにより、強入力 of 信号をアンテナ 301 より受信した場合でも可変利得アンプ 305 の出力レベルが飽和しない状態で IF 信号を取り出すことができる。

【0006】

可変利得アンプ 305 のもう一方の出力信号は、リミッタアンプ 308 にて出力振幅が一定にされた状態で出力される。リミッタアンプ 308 の出力は 2 分岐され、その一方は復調用ミキサ 310 に入力される。リミッタアンプ 308 の出力の他方は移相回路 309 に入力され 90° 移相がシフトされる。

【0007】

この移相回路 309 の出力とリミッタアンプ 308 の出力とを復調用ミキサ 310 にて乗算することによりアナログ復調信号が出力される。アナログ復調信号には、乗算により発生する高周波信号やキャリア成分が含まれるが、これら高周波信号やキャリア成分は低域通過フィルタ（以下、LPF という）311 にて除去される。LPF 311 のアナログ復調出力は二値化回路 312 に入力される。

【0008】

二値化回路 312 はスライスレベル検出回路 313 と比較回路 314 で構成されている。スライスレベル検出回路 313 は入力信号に応じて最適なスライスレベルを生成する。比較回路 314 はスライスレベル検出回路 313 の出力と LPF 311 の出力を比較し、二値化して出力する。

【0009】

次に、受信装置に用いられる二値化回路の具体的な例を図 7 及び図 8 に示す。

【0010】

図 7 は、復調信号の最大ホールド値と最小ホールド値とを利用した二値化回路の一例である。

【0011】

図 7 に示す二値化回路 401 では、復調信号がスライスレベル検出回路 402 の最大値検出回路 403 及び最小値検出回路 404 にそれぞれ入力され、その最

大値検出回路 403 にて最大ピーク値が記憶され、最小値検出回路 404 にて最小ピーク値が記憶される。これら最大ピーク値と最小ピーク値とが加算回路 405 にて足し算され、その演算後の値がアンプ 406 にて $1/2$ にされる。

【0012】

以上の動作により、スライスレベル検出回路 402 が $[(\text{最大ピーク値} + \text{最小ピーク値}) / 2]$ を出力し、その出力が比較回路 407 に入力される。比較回路 407 はスライスレベル検出回路 402 の出力と復調信号との大小を比較することで二値化を行う。

【0013】

図 8 に示す二値化回路 501 においては、復調信号が加算回路 502 に入力される。加算回路 502 の出力は 2 分岐され、その一方の信号は、オフセットキャンセラ回路 503 に入力される。オフセットキャンセラ回路 503 は下記の入出力特性に従って信号を出力する。

【0014】

【数 1】

$$\text{output} = \begin{cases} -\text{input} + A & (\text{input} > A) \\ 0 & (-A \leq \text{input} \leq A) \\ -\text{input} - A & (\text{input} < -A) \end{cases} \quad (A: \text{制限値(定数)})$$

オフセットキャンセラ回路 503 の出力は積分回路 504 に入力される。積分回路 504 の出力は加算回路 502 に入力され、元の復調信号に加えられる。

【0015】

以上の動作により、加算回路 502 の出力は「0」を中心とした信号に変換される。加算回路 502 のもう一方の信号は正負判定回路 505 に入力され、入力信号の正負により二値化が行われる。

【0016】

【特許文献 1】

特開 2002-290178 号公報

【0017】

【発明が解決しようとする課題】

図 6 に示した回路構成の受信装置によれば、広範囲の入力ダイナミックレンジを実現することができる。また、このような受信装置において、図 7 及び図 8 に示した構成の二値化回路を使用することにより、DC レベルの急激な変化にも対応して正確に二値化することが可能となる。

【0018】

しかし、図 6 のような回路構成の受信装置においては、可変利得アンプのゲインを不連続的に切り替えるため、ゲインを切り替えたときに可変利得アンプの出力にノイズが発生する。このノイズは後段のリミッタアンプ以降にも影響を与える。すなわち、可変利得アンプの出力にノイズが発生すると、スライスレベル検出回路が本来のスライスレベルとは異なったスライスレベルを出力してしまい、その結果として、BER (Bit Error Rate) が悪化してしまう。

【0019】

例えば、図 7 の二値化回路を備えている受信装置の場合、図 9 の出力波形図に示すように、ゲイン切り替えによりノイズが発生すると、これに影響されて二値化回路 401 のアンプ 406 の出力（スライスレベル）が本来のものとは異なってしまう、エラーが発生する。

【0020】

また、図 8 の二値化回路を備えている受信装置の場合、図 10 の出力波形図に示すように、ゲイン切り替えによりノイズが発生すると、これに影響されて二値化回路 501 のオフセットキャンセラ回路 503 の出力（加算回路 502 の出力）が本来のものとは異なってしまう、エラーが発生する。

【0021】

本発明はそのような問題を解消するためになされたもので、可変利得アンプのゲインが切り替わった際に発生するノイズの影響を除去して BER の悪化を防ぐことが可能な受信装置の提供を目的とする。

【0022】

【課題を解決するための手段】

本発明の受信回路は、受信信号の I F 信号を増幅する可変利得アンプと、前記可変利得アンプの出力レベルを検出するレベル検出回路と、前記レベル検出回路の出力を基準レベルと比較する比較回路と、復調器と、二値化回路とを有し、前記比較回路の比較結果に基づいて前記可変利得アンプのゲインを切り替えるように構成された受信装置において、前記可変利得アンプのゲイン切り替えを検出するゲイン切り替え検出回路と、前記二値化回路で用いるスライスレベルを固定するスライスレベル固定回路と、カウンタ回路とを備え、前記ゲイン切り替え検出回路にてゲインの切り替えが検出されたときに、前記カウンタ回路及びスライスレベル固定回路によって前記スライスレベルを所定時間だけ固定するように構成されていることによって特徴づけられる。

【0023】

本発明の受信装置によれば、可変利得アンプのゲインが切り替わった際に可変利得アンプから発生するノイズが二値化回路に悪影響を与える間においてスライスレベルを固定することが可能となるので、ゲインが切り替わる際のノイズによる影響を無効にすることができる。その結果として、BERの悪化を防ぐことができる。

【0024】

本発明の受信装置において、可変利得アンプが帯域通過フィルタ（以下、BPFという）を兼ねていてもよい。このように、可変利得アンプが中間周波信号成分のみを通過させる機能を備えていると、可変利得アンプの前段に設けるBPF等を省略することができるので、回路規模の小型化を達成することができる。

【0025】

本発明の受信装置において、比較回路がゲイン切り替え検出回路を兼ねていてもよい。このように、受信装置に從來から存在する比較回路をゲイン切り替え検出回路として兼用することにより、回路規模の小型化を達成することができる。

【0026】

本発明の受信装置において、カウンタ回路はカウント時間が可変であってもよい。この発明によれば、カウンタ回路のカウント時間の変更により、スライスレ

ベルを固定する時間を外部から操作することができるので、可変利得アンプのゲインが切り替わった時点からノイズが発生するまでのタイミングがばらつく場合であっても、そのばらつきに応じてスライスレベルを固定する時間を調整することが可能となる。しかも、そのような調整操作を、製品を製作した後に実施することができる。

【0027】

本発明の受信装置において、二値化回路が、前記復調器からの復調信号を復調信号固定回路を介して入力し、その入力復調信号の最大値及び最小値をそれぞれ検出する最大値検出回路及び最小値検出回路と、それら最大値と最小値とを加算する加算回路と、前記加算回路の出力を $1/2$ にするアンプと、前記アンプの出力と前記復調器からの復調信号との大小を比較して二値化を行う比較回路によって構成されているとともに、前記復調信号固定回路が前記スライスレベル固定回路として機能するように構成してもよい。

【0028】

この発明によれば、二値化回路が最大値と最小値とを利用してスライスレベルを検出する構成の受信装置において、ノイズが発生する間、最大値検出回路及び最小値検出回路に入力される信号を固定することができ、ノイズによるBERの悪化の防止を実現することができる。

【0029】

本発明の受信装置において、二値化回路が、最大制限値よりも大きな信号が入力されたとき、または、最小制限値よりも小さな信号が入力されたときに、それぞれ制限値を超えた値の信号を出力するオフセットキャンセラ回路と、その出力を積分する積分回路と、前記オフセットキャンセラ回路と積分回路との間に設けられたオフセットキャンセラ出力固定回路と、前記積分回路出力を入力信号にフィードバックして加える加算回路と、前記加算回路の出力信号の正負により二値化を行う正負判定回路とによって構成されているとともに、前記オフセットキャンセラ出力固定回路が前記スライスレベル固定回路として機能するように構成してもよい。

【0030】

この発明は、図 8 に示す構成の二値化回路を備えた受信装置において、ノイズが発生する間、オフセットキャンセラの出力を固定することで、ノイズによる B E R の悪化の防止を実現するものであり、この発明により、D C オフセットの急激な変化に対しても正確に二値化できる二値化回路を備えつつ、ゲインの切り替えによるノイズが原因となる B E R の悪化を防ぐことが可能となる。

【0031】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0032】

<実施形態 1>

図 1 は本発明の受信装置の構成を示すブロック図である。

【0033】

図 1 に示す受信装置は、図 6 に示した受信装置と同様に、アンテナ 1、L N A 2、ミキサ 3、V C O（電圧制御発振器）4、可変利得アンプ 5、レベル検出回路 6、比較回路 7、リミッタアンプ 8、移相回路 9、復調用ミキサ 10、L P F 11、並びに、スライスレベル検出回路 13 及び比較回路 15 を有する二値化回路 12 を備えており、これらの構成に加えて、カウンタ回路 16 及びスライスレベル固定回路 14（二値化回路 12 に設置）を設けたところに特徴がある。スライスレベル固定回路 14 は、二値化回路 12 のスライスレベル検出回路 13 と比較回路 15 との間に設けられている。

【0034】

次に、この実施形態の動作を以下に説明する。

【0035】

まず、アンテナ 1 より入力された受信 R F 信号は、L N A 2 により増幅された後、ミキサ 3 において、V C O 4 より出力されるローカル信号とミキシングされて I F 信号に変換される。この変換後の I F 信号が、最大ゲインに設定されている可変利得アンプ 5 に入力される。

【0036】

可変利得アンプ 5 の出力は 2 分岐され、その一方の信号はレベル検出回路 6 に

入力される。レベル検出回路 6 は可変利得アンプ 5 の出力信号レベルに応じた D C 電圧を出力する。レベル検出回路 6 の出力信号は比較回路 7 に入力される。

【0037】

比較回路 7 は、レベル検出回路 6 の出力 D C 電圧とある基準 D C 電圧とを比較し、レベル検出回路 6 の出力 D C 電圧が基準電圧と比べて高いときは、その出力 D C 電圧が低いときの出力に対して反転した出力信号を出力し、可変利得アンプ 5 のゲインを低下させる。これと同時に、比較回路 7 の出力はカウンタ回路 16 にも入力される。

【0038】

カウンタ回路 16 は、通常、比較回路 7 の出力が反転した時点を経済に所定の時間だけ出力反転させる。この例では、カウンタ回路 16 が、通常は「Low」を出力し、比較回路 7 の出力が反転した時点から所定の時間だけ「High」を出力するものとする。カウンタ回路 16 の出力はスライスレベル固定回路 14 に入力される。なお、カウンタ回路 16 によるカウント時間（所定の時間）は、可変利得アンプ 5 から発生するノイズが二値化回路 12 に悪影響を与える時間に対応する時間とする。

【0039】

可変利得アンプ 5 のもう一方の出力信号は、リミッタアンプ 8 にて出力振幅が一定にされた状態で出力される。リミッタアンプ 8 の出力は 2 分岐され、その一方は復調用ミキサ 10 に入力される。リミッタアンプ 8 の出力の他方は移相回路 9 に入力されて 90° 移相がシフトされる。

【0040】

移相回路 9 の出力とリミッタアンプ 8 の出力とは復調用ミキサ 10 によって乗算され、これによりアナログ復調信号が出力される。アナログ復調信号には、乗算により発生する高周波信号やキャリア成分が含まれるが、これら高周波信号やキャリア成分は L P F 11 にて除去される。この L P F 11 のアナログ復調出力は二値化回路 12 に入力される。

【0041】

二値化回路 12 内のスライスレベル検出回路 13 は入力信号に応じて最適なス

ライスレベルを生成する。ライスレベル検出回路 13 の出力はライスレベル固定回路 14 に入力される。

【0042】

ライスレベル固定回路 14 は、カウンタ回路 16 の出力が「Low」のときは入力をそのまま出力し、「High」のときに出力を固定（ライスレベルの固定）する。比較回路 15 はライスレベル固定回路 14 の出力（ライスレベル検出回路 13 の出力）と LPF 11 の出力を比較し、二値化して出力する。

【0043】

以上のように、この実施形態によれば、比較回路 7 の出力が反転した時点つまり可変利得アンプ 5 のゲインが切り替わった時点で、カウンタ回路 16 の出力を所定の時間（可変利得アンプ 5 から発生するノイズが二値化回路 12 に悪影響を与える時間）だけ「High」の状態にして、ライスレベルを固定しているので、ゲインが切り替わる際のノイズによる影響を無効にすることができ、二値化回路 12 の異常動作を防止することができる。その結果として、BER の悪化を防ぐことができる。

【0044】

<実施形態 2>

図 2 は、本発明の受信装置の他の実施形態の二値化回路の構成を示すブロック図である。なお、この実施形態の受信装置において、二値化回路以外の構成は、前記した<実施形態 1>の各部の構成と同じであるので、その詳細な説明は省略する。

【0045】

図 2 の二値化回路 101 は、図 7 に示した二値化回路と同様に、ライスレベル検出回路 102 と比較回路 108 とを備えている。ライスレベル検出回路 102 には、最大値検出回路 104、最小値検出回路 105、加算回路 106 及びアンプ 107 が設けられており、さらに、これらの構成に加えて、復調信号固定回路 103 が入力段に設けられている。

【0046】

次に、この実施形態の動作を説明する。

【0047】

まず、前記した<実施形態1>と同様の動作を経て復調信号が生成され、その復調信号がスライスレベル検出回路102の復調信号固定回路103に入力される。復調信号固定回路103は、前記した<実施形態1>のスライスレベル固定回路14と同様に、カウンタ回路16からの信号が「Low」のときは入力をそのまま出力し、「High」のときは出力を固定する。

【0048】

復調信号固定回路103の出力（復調信号）は、最大値検出回路104及び最小値検出回路105にそれぞれ入力され、その最大値検出回路104にて最大ピーク値が記憶され、最小値検出回路105にて最小ピーク値が記憶される。これら最大ピーク値と最小ピーク値とが加算回路106にて足し算され、その演算後の値がアンプ107にて1/2にされる。

【0049】

以上の動作により、スライスレベル検出回路102は〔（復調信号固定回路103の出力の最大ピーク値＋同回路出力の最小ピーク値）／2〕を出力し、その出力信号が比較回路108に入力される。比較回路108はスライスレベル検出回路102の出力と復調信号の大小を比較することで二値化を行う。

【0050】

そして、この実施形態では、図3の出力波形図に示すように、比較回路7の出力が反転した時点つまり可変利得アンプ5のゲインが切り替わった時点で、カウンタ回路16の出力を所定の時間T（可変利得アンプ5から発生するノイズが二値化回路101に悪影響を与える時間）だけ「High」の状態にして、最大値検出回路104及び最小値検出回路105に入力される信号を固定することにより、二値化回路101の異常動作を防いで、BERの悪化を防止している。

【0051】

<実施形態3>

図4は、本発明の受信装置の別の実施形態の二値化回路の構成を示すブロック図である。なお、この実施形態の受信装置において、二値化回路以外の構成は、前記した<実施形態1>の各部の構成と同じであるので、その詳細な説明は省略

する。

【0052】

図2の二値化回路201は、図8に示した二値化回路と同様に、加算回路202、オフセットキャンセラ回路203、積分回路205及び正負判定回路206を備えており、さらにこれらの構成に加えて、オフセットキャンセラ出力固定回路204を備えている。オフセットキャンセラ出力固定回路204は、オフセットキャンセラ回路203と積分回路205との間に設けられている。

【0053】

次に、この実施形態の動作を説明する。

【0054】

まず、前記した<実施形態1>と同様の動作を経て復調信号が生成され、その復調信号が、二値化回路201の加算回路202に入力される。加算回路202の出力は2分岐され、その一方の信号はオフセットキャンセラ回路203に入力される。オフセットキャンセラ回路203は下記の入出力特性に従って信号を出力する。

【0055】

【数2】

$$output = \begin{cases} -input + A & (input > A) \\ 0 & (-A \leq input \leq A) \\ -input - A & (input < -A) \end{cases} \quad (A: \text{制限値(定数)})$$

オフセットキャンセラ回路203の出力はオフセットキャンセラ出力固定回路204に入力される。オフセットキャンセラ出力固定回路204は、前記した<実施形態1>のスライスレベル固定回路14と同様に、カウンタ回路16からの信号が「Low」のときは入力をそのまま出力し、「High」のときは出力を固定する。オフセットキャンセラ出力固定回路204の出力（オフセットキャンセラ回路203の出力）は積分回路205に入力される。積分回路205の出力

は加算回路 202 に入力され、元の復調信号に加えられる。

【0056】

以上の動作により、加算回路 202 の出力は「0」を中心とした信号に変換される。加算回路 202 のもう一方の信号は正負判定回路 206 に入力され、入力信号の正負により二値化が行われる。

【0057】

そして、この実施形態では、図 5 の出力波形図に示すように、比較回路 7 の出力が反転した時点つまり可変利得アンプ 5 のゲインが切り替わった時点で、カウンタ回路 16 の出力を所定の時間 T（可変利得アンプから発生するノイズが二値化回路 201 に悪影響を与える時間）だけ「High」の状態にして、オフセットキャンセラ回路 203 の出力（加算回路 202 の出力）を固定することにより、二値化回路 201 の異常動作を防いで BER の悪化を防止している。

【0058】

従って、この実施形態によれば、DC オフセットの急激な変化に対しても正確に二値化できる二値化回路を備えつつ、ゲインの切り替えによるノイズが原因となる BER の悪化防止を実現することができる。

【0059】

なお、以上の各実施形態において、可変利得アンプ 5 が BPF を兼ねていてもよい。また、カウンタ回路 16 はカウント時間が可変であり、そのカウント時間を外部操作で変更できるようにしておいてもよい。

【0060】

また、以上の各実施形態においては、比較回路 7 をゲイン切り替え検出回路として兼用しているが、比較回路とゲイン切り替え検出回路とはそれぞれ個別に設けておいてもよい。

【0061】

【発明の効果】

以上説明したように、本発明の受信装置によれば、可変利得アンプのゲインが変わったタイミングを検出した時点から所定の時間つまり可変利得アンプから発生するノイズが二値化回路に悪影響を与える時間だけ、二値化回路に用いるスラ

イスレベルを固定することで、二値化回路の異常動作を防止しているので、広範囲な入力ダイナミックレンジを実現しつつ、ゲインの切り替えの際に発生するノイズに起因する B E R の悪化を防ぐことができる。

【図面の簡単な説明】

【図 1】

本発明の受信装置の実施形態の構成を示すブロック図である。

【図 2】

本発明の受信装置の他の実施形態に用いる二値化回路の構成を示すブロック図である。

【図 3】

図 2 の二値化回路の各ブロックの出力波形を示す図である。

【図 4】

本発明の受信装置の別の実施形態に用いる二値化回路の構成を示すブロック図である。

【図 5】

図 4 の二値化回路の各ブロックの出力波形を示す図である。

【図 6】

従来の受信装置の構成を示すブロック図である。

【図 7】

従来の受信装置に用いる二値化回路の一例を示すブロック図である。

【図 8】

従来の受信装置に用いる二値化回路の他の例を示すブロック図である。

【図 9】

図 7 の二値化回路の各ブロックの出力波形を示す図である。

【図 1 0】

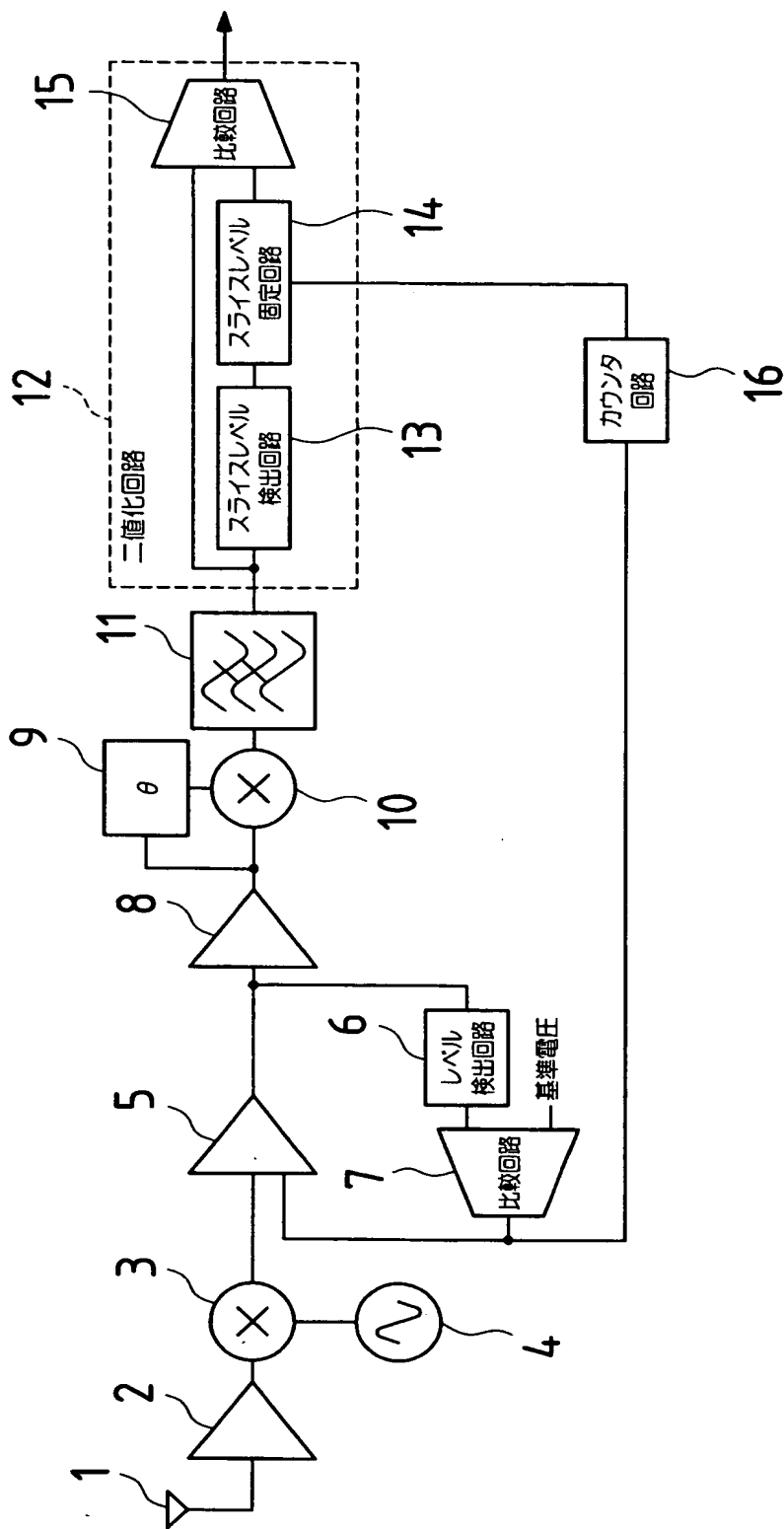
図 8 の二値化回路の各ブロックの出力波形を示す図である。

【符号の説明】

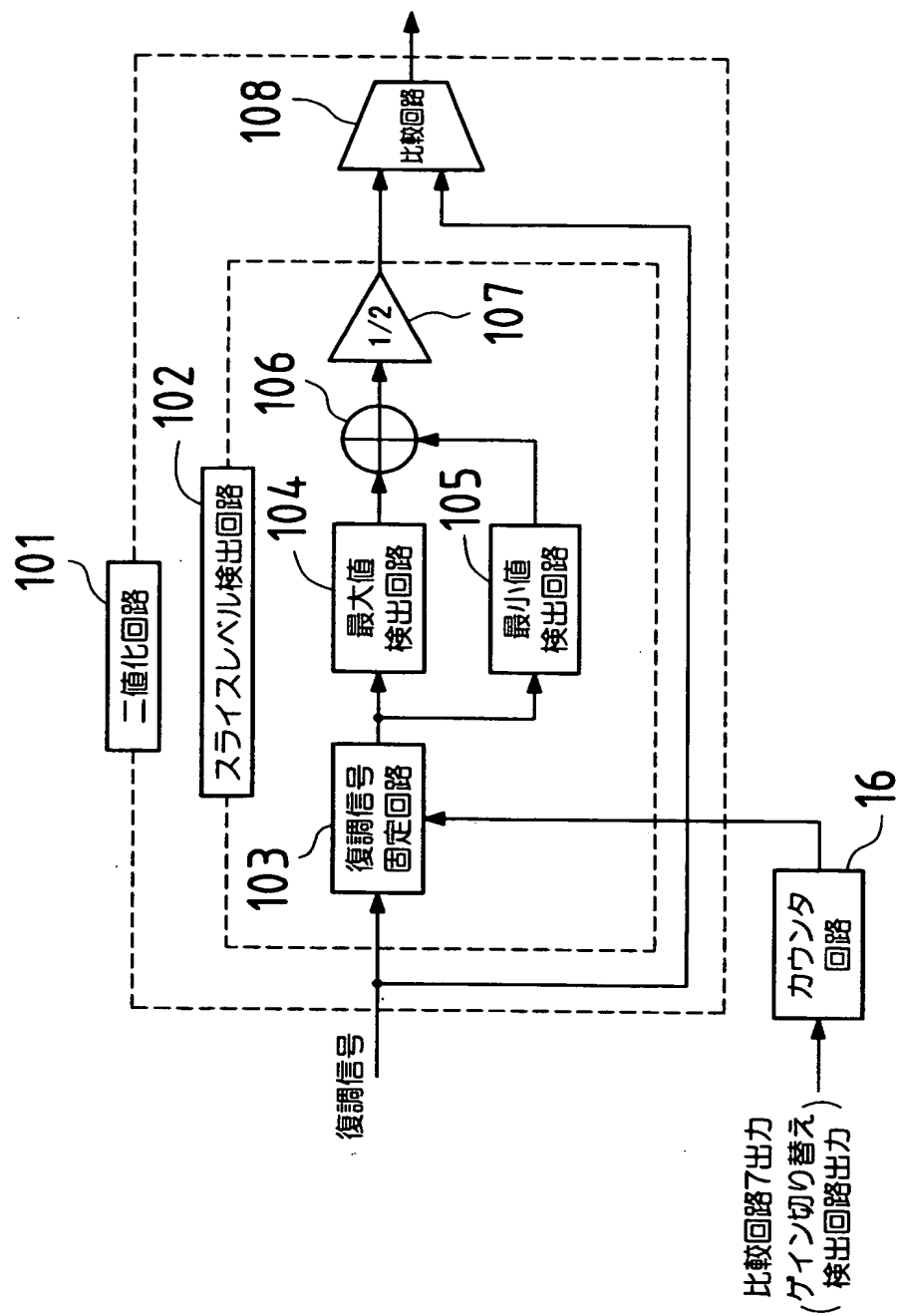
- 1 アンテナ
- 2 L N A

- 3 ミキサ
- 4 V C O (電圧制御発振器)
- 5 可変利得アンプ
- 6 レベル検出回路
- 7 比較回路
- 8 リミッタアンプ
- 9 移相回路
- 1 0 復調用ミキサ
- 1 1 低域通過フィルタ (L P F)
- 1 2 二値化回路
- 1 3 スライスレベル検出回路
- 1 4 スライスレベル固定回路
- 1 5 比較回路
- 1 6 カウンタ回路
- 1 0 1 二値化回路
- 1 0 2 スライスレベル検出回路
- 1 0 3 復調信号固定回路
- 1 0 4 最大値検出回路
- 1 0 5 最小値検出回路
- 1 0 6 加算回路
- 1 0 7 アンプ
- 1 0 8 比較回路
- 2 0 1 二値化回路
- 2 0 2 加算回路
- 2 0 3 オフセットキャンセラ回路
- 2 0 4 オフセットキャンセラ出力固定回路
- 2 0 5 積分回路
- 2 0 6 正負判定回路

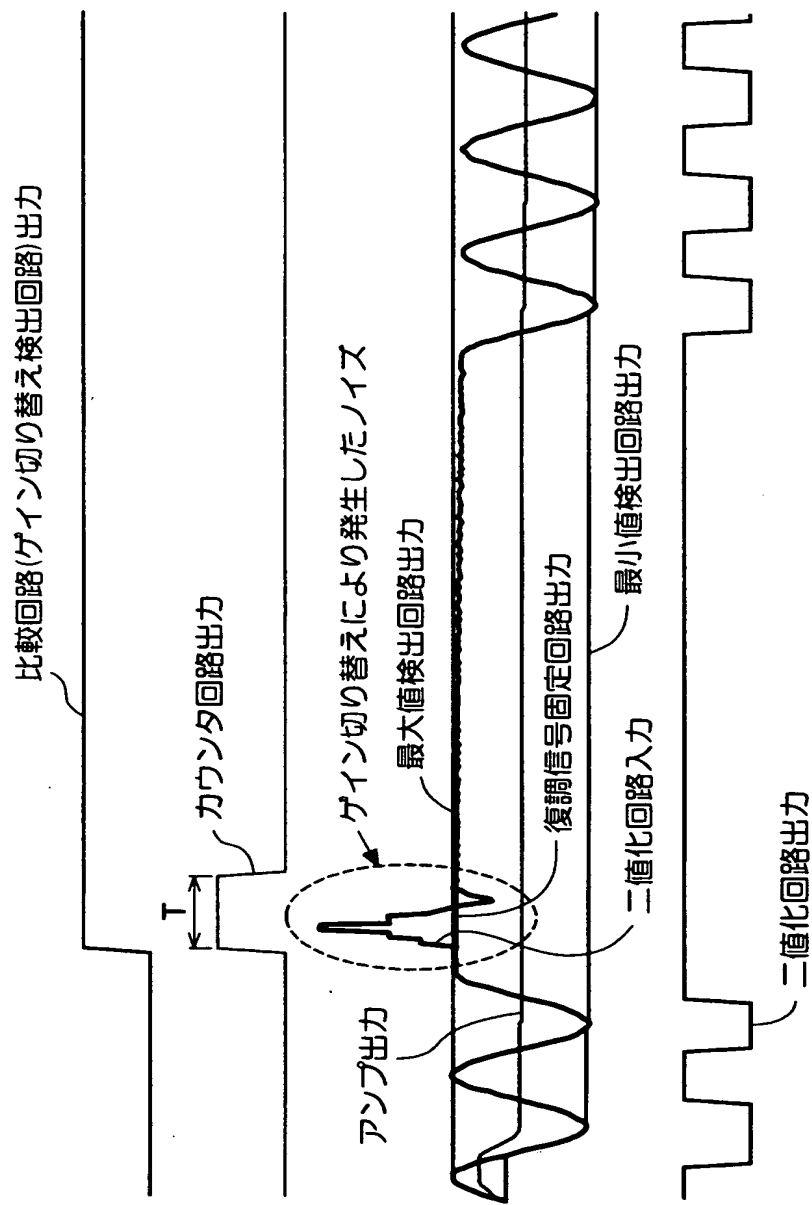
【書類名】 図面
【図 1】



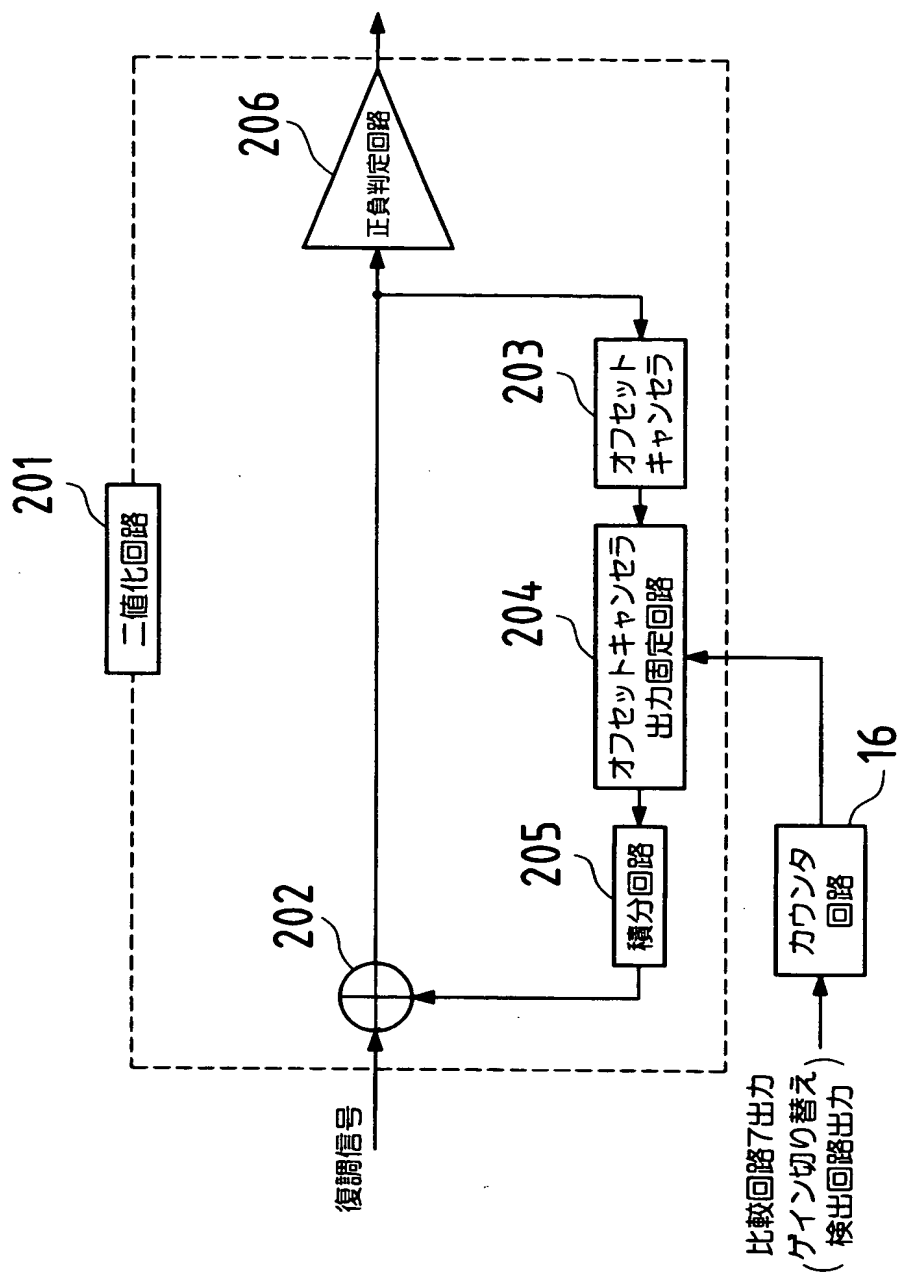
【図 2】



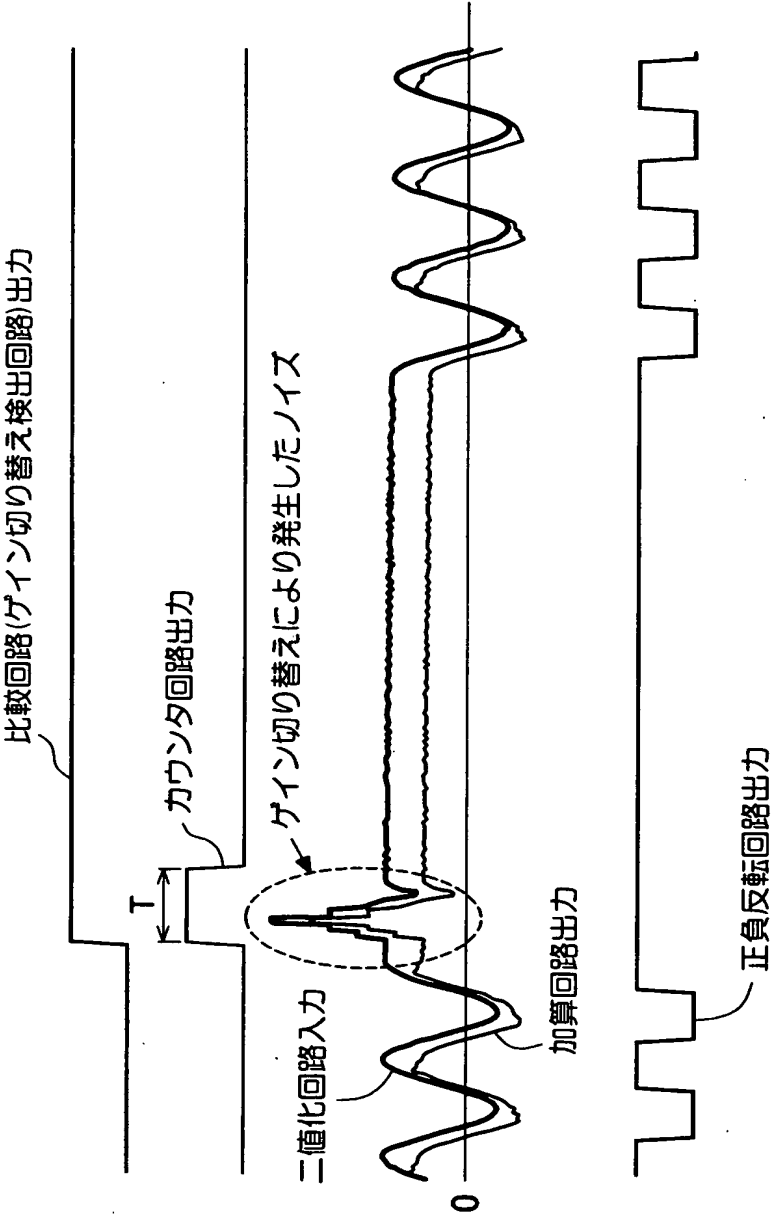
【図 3】



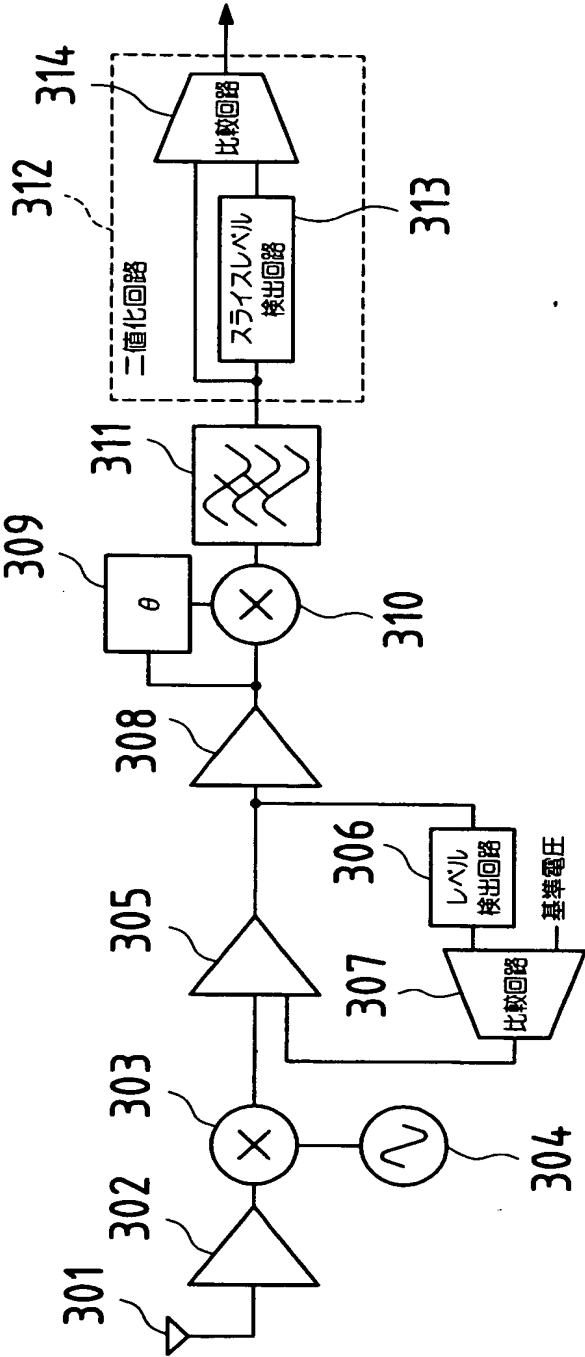
【図 4】



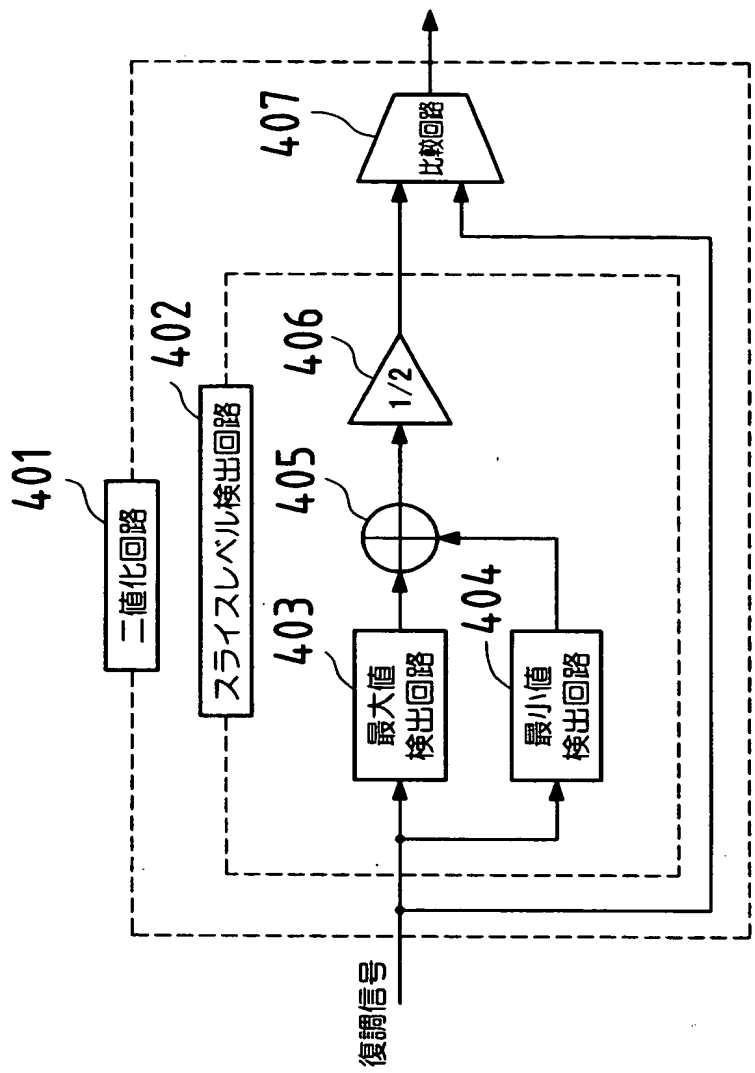
【図 5】



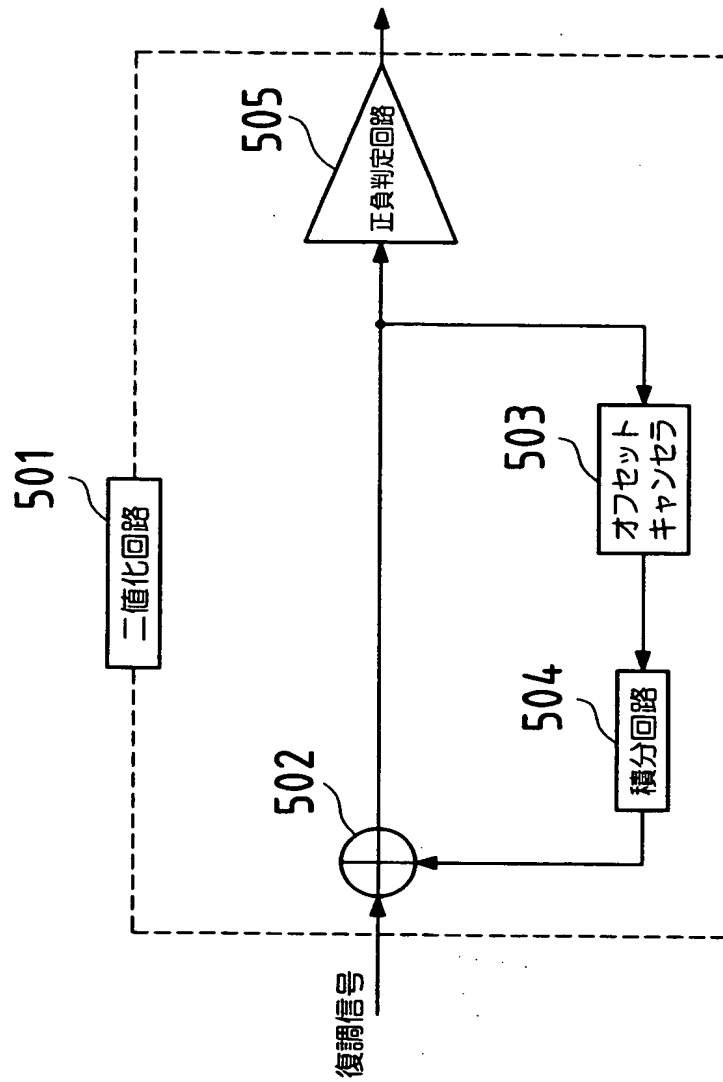
【図 6】



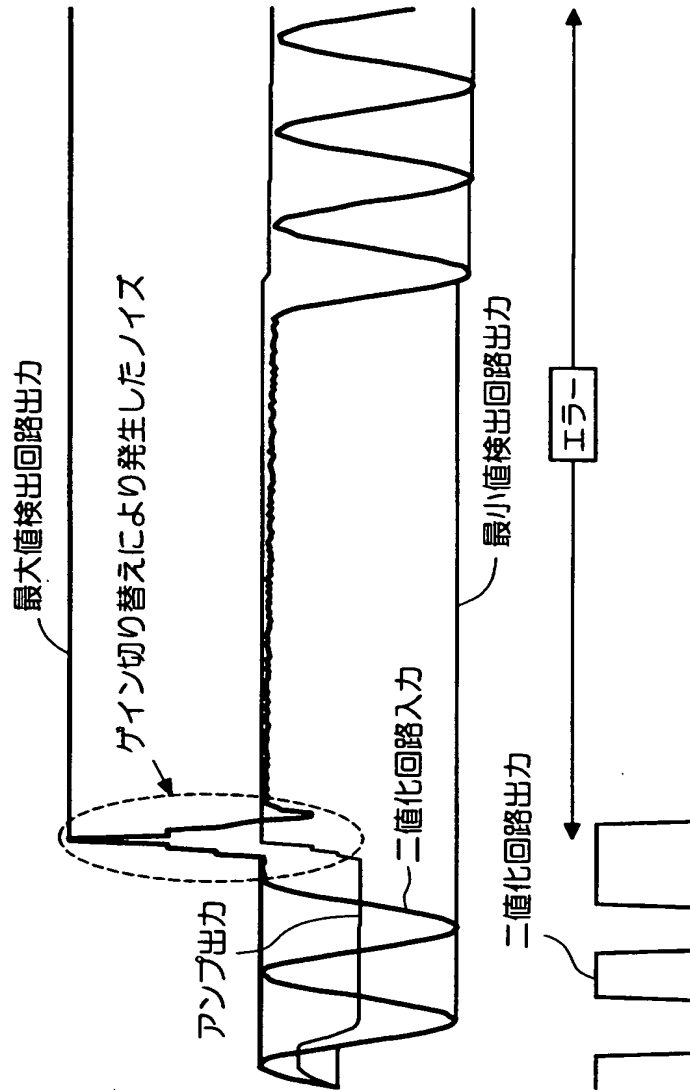
【図 7】



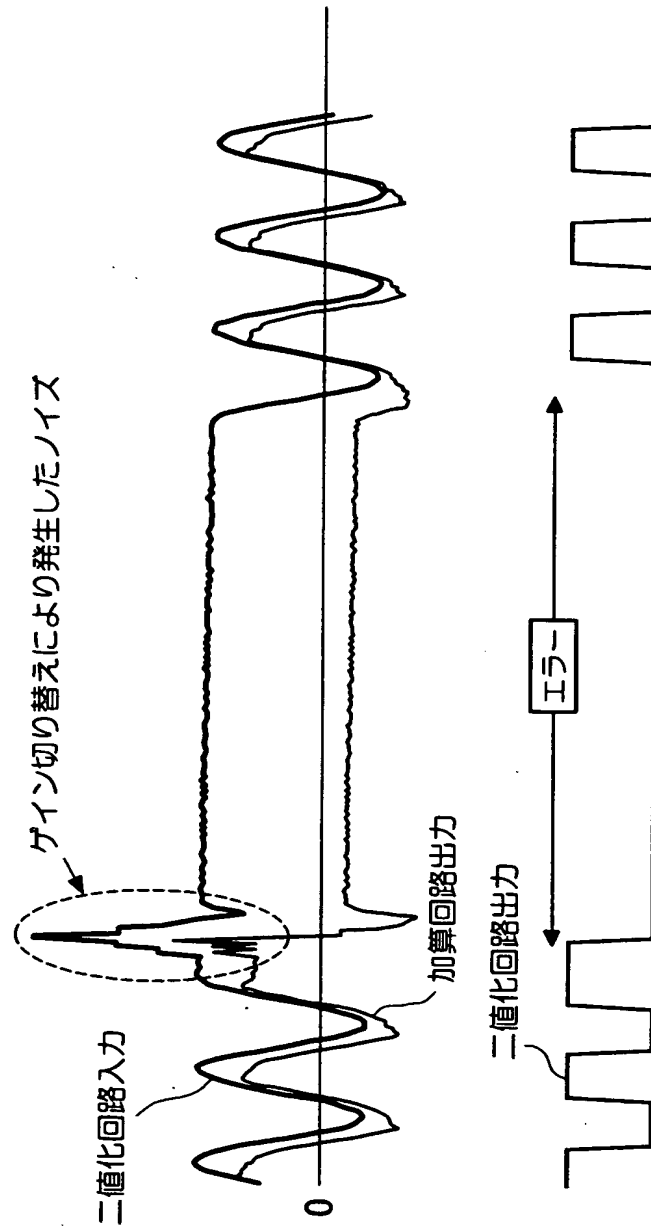
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 可変利得アンプのゲインが切り替わった際に発生するノイズの影響を除去して B E R の悪化を防ぐ。

【解決手段】 受信信号を増幅する可変利得アンプ 5、その出力レベルを検出するレベル検出回路 6、レベル検出回路 6 の出力を基準レベルと比較する比較回路 7 及び二値化回路 1 2 などを備えた受信装置において、可変利得アンプ 5 のゲイン切り替えを検出する検出回路と、二値化回路 1 2 で用いるスライスレベルを固定するスライスレベル固定回路 1 4 と、カウンタ回路 1 6 とを設け、可変利得アンプ 5 のゲインの切り替えが検出されたときに、前記スライスレベルを所定時間だけ固定することで、可変利得アンプ 5 のゲインが切り替わる際のノイズによる影響を無効にする。

【選択図】 図 1

特願 2 0 0 3 - 0 8 2 9 1 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社